

文章编号: 1004-4353(2023)03-0257-05

# 一种基于忆阻器的 2T2M 存储阵列的设计研究

蔡振扬, 刘苡萌, 徐红梅  
( 延边大学 工学院, 吉林 延吉 133002 )

**摘要:** 为了提高非易失性存储器的存储密度和存储效率,提出了一种基于忆阻器的 2T2M 存储阵列. 该阵列采用  $10 \times 10$  的交叉结构. Simulink 仿真实验证明,该存储阵列不仅可以有效增加存储单元的存储密度和提高存储效率,而且电路结构简单;因此,该存储阵列可为高存储密度电路和图像存储的设计提供参考.

**关键词:** 忆阻器; 存储阵列; 2T2M; 读写操作; 存储单元; 存储密度

**中图分类号:** TP343

**文献标志码:** A

## Design of a 2T2M storage array based on memristors

CAI Zhenyang, LIU Yimeng, XU Hongmei  
( College of Engineering, Yanbian University, Yanji 133002, China )

**Abstract:** A 2T2M storage array based on resistive switching memory was proposed to enhance the storage density, efficiency, and achieve rapid read/write operations. This array adopts a  $10 \times 10$  cross-point structure. Simulink simulations demonstrated that this storage cross-point array not only increases the storage density of memory cells and improves storage efficiency, but also features a simple circuit structure. Therefore, this storage array can serve as a reference for the design of high-density circuits and image storage.

**Keywords:** memristors; storage arrays; 2T2M; read and write operations; memory cell; storage density

## 0 引言

忆阻器作为一种新型存储器件,因其具有非易失性、开关特性以及可与 CMOS 工艺兼容等优点,因此可被用于阻变存储器件的制备中. 为了提高忆阻器电路的存储密度、响应速度及其稳定性等,许多学者对其进行了研究. 例如:徐红梅等<sup>[1]</sup>提出了一种基于忆阻器的 SRAM 存储单元的设计方案,研究显示该方案可有效提高存储单元的读写速度和稳定性,并可有效降低功耗;Tetzlaff 等<sup>[2]</sup>研究显示,利用二阶动态路线图的分析方法对存储块的数据进行分析可显著减少存储块在存

储电路中的使用数量;孙晶茹等<sup>[3]</sup>提出了一种基于异构忆阻器的多值存储交叉阵列,研究显示该阵列可用单个电压信号完成 4 值读写的操作,并且其电路结构简单,读写速度快,能够克服漏电流问题;Ishizaka 等<sup>[4]</sup>将忆阻器技术与传统的 CMOS 电路相结合,设计了一种可有效提高纠错编码效率的方案;Wang 等<sup>[5]</sup>探究了在 CMOS 设计中应用多态忆阻器的可行性;Manem 等<sup>[6]</sup>针对 1T1M 多级电阻存储器提出了一种可读取写入电路,其研究还发现利用指数漂移忆阻器模型可以有效提高器件的写入速度;Mane 等<sup>[7]</sup>设计了一种新型逻辑门电路,研究显示其可有效提高电路的可编

收稿日期: 2023-05-08

基金项目: 吉林省教育厅科学研究项目(JJKH20210589KJ)

第一作者: 蔡振扬(2000—),男,硕士研究生,研究方向为非线性动力学.

通信作者: 徐红梅(1975—),女,博士,教授,研究方向为非线性动力学.

程性和灵活性;Singh 等<sup>[8]</sup>设计了一种 7T2M 电路,研究显示该电路的稳定性和读写时间裕度优于传统的 6T1R 电路;Vontobel 等<sup>[9]</sup>利用横纵交叉结构设计了一种存储阵列,研究显示该存储阵列可显著提高数据的读写速度.基于上述研究,本文设计了一种基于忆阻器的 2T2M 存储交叉阵列,并通过仿真实验证明验证了该阵列的有效性.

## 1 HP 物理忆阻器的数学模型

HP 物理忆阻器的内部结构由两个  $\text{TiO}_2$  层(放置在两个铂电极之间)组成,其中一层为掺杂区域,另一层为未掺杂区(纯  $\text{TiO}_2$ ),如图 1 所示.忆阻器的总电阻由串联区域的两个可变电阻决定.对忆阻器施加外部激励电压( $V(t)$ ),可使两个区域之间的边界发生移动,进而可使忆阻器的忆阻值发生变化.

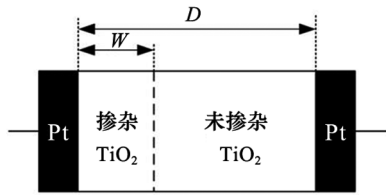


图 1 HP 物理忆阻器的内部结构示意图

忆阻器的物理模型示意图如图 2 所示,其表达式为:

$$M(t) = M_{\text{off}} + (M_{\text{on}} - M_{\text{off}}) \frac{\omega(t)}{D}. \quad (1)$$

其中: $D$  是  $\text{TiO}_2$  层的厚度, $\omega(t)$  是掺杂区域的厚度, $M_{\text{off}}$  和  $M_{\text{on}}$  分别为  $\omega(t)=0$  和  $\omega(t)=D$  时的极限忆阻.

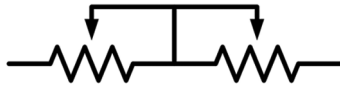


图 2 忆阻器的物理模型示意图

区域边界的移动速度与流经忆阻器的电流之间的函数关系为:

$$\dot{\omega}(t) = \frac{\mu_v M_{\text{on}}}{D} i(t). \quad (2)$$

其中: $\mu_v$  是半导体薄膜中的氧空位的平均迁移率, $\mu_v \approx 10^{-14} \text{ m}^2 \cdot \text{s}^{-1} \cdot \text{V}^{-1}$ .对式(2)进行积分可得:

$$\omega(t) = \frac{\mu_v M_{\text{on}}}{D} q(t) + \omega(0). \quad (3)$$

将式(3)代入式(1)可得:

$$M(t) = M_{\text{int}} + kq(t). \quad (4)$$

其中: $M_{\text{int}}$  为初始忆阻;常数  $k$  为忆阻与电荷的比例因子, $k = \frac{(M_{\text{on}} - M_{\text{off}})\mu_v M_{\text{on}}}{D^2}$ .

根据欧姆定律,对式(4)进行整理可得:

$$V(t) = M(q(t))i(t) = (M_{\text{int}} + kq(t)) \frac{dq(t)}{dt}. \quad (5)$$

其中: $i(t)$  表示施加到忆阻器上的电流强度; $M(q(t))$  表示  $t$  时刻的忆阻.

磁通量  $\varphi$  与电荷  $q$  之间的函数关系为:

$$d\varphi = M(q(t))dq. \quad (6)$$

对式(6)进行积分可得  $\varphi = \frac{\sqrt{2k\varphi(t)M_{\text{off}} - M_{\text{int}}} - M_{\text{int}}}{k}$ .

再将式(4)代入上式可得忆阻与磁通量的关系为:

$$M(t) = \sqrt{2k\varphi(t) + M_{\text{int}}^2}. \quad (7)$$

## 2 基于忆阻器的 RRAM 存储阵列的设计

RRAM 存储阵列由多个忆阻器组成,其可以通过行列选择线访问地址和读写数据.与传统的 DRAM 相比,RRAM 存储阵列具有稳定性高、功耗低、访问速度快、存储密度大以及不需要刷新操作等优点.

### 2.1 2T2M 存储单元的电路结构

由于忆阻器具有逻辑切换的功能,因此可通过测量忆阻器两端的电压判断出忆阻器的阻态及其逻辑状态.基于忆阻器的上述特性,本文设计了一个 2T2M 存储单元,其结构如图 3 所示.每个 2T2M 存储单元均由 2 个忆阻器和 2 个场效应管组成.由于忆阻器的电阻值是根据先前的存储状态决定的,因此可以通过读取电阻值来确定存储单元中的存储数据.

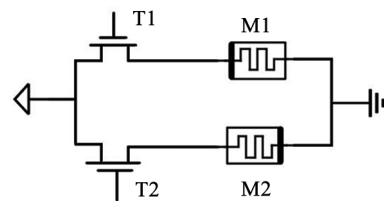


图 3 单个 2T2M 存储单元的结构示意图

## 2.2 写操作的电路设计及其仿真分析

图4为写操作的电路图. 仿真电路中包含了2个忆阻器(M1和M2)和2个NMOS管(T1和T2),其工作原理为:当电路接入高电平时,T1和T2分别开启,电流经过M1和M2流向地;当通过线路接入到低电平时,由T1和T2两端的字线分别控制T1和T2的关闭,由此使得电流不再通过M1和M2. 因此,控制T1和T2的开关状态就可以分别对M1和M2进行写操作. 在写入数据时,输入数据通过输入线路存储到2T2M存储单元中,控制信号和忆阻器状态所对应的二进制值通过位线输入到2T2M存储单元中.

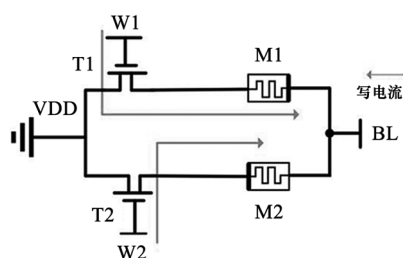


图4 2T2M存储单元的写操作电路图

图5为写操作的仿真图. 由图5可以看出,在输入电压 $V_{wd}$ 、 $V_{wd1}$ 、 $V_{wd2}$ 的激励下,忆阻器M1和M2的响应情况为:输入电压 $V_{wd}$ 的幅度为4V,激励时间段为3~28ns;脉冲控制电压 $V_{wd1}$ 的幅度为5V,激励时间段分别为4~4.6ns和15~21ns;脉冲控制电压 $V_{wd2}$ 的幅度为5V,激励时间段分别为4~5ns和15~28.2ns;在控制电压 $V_{wd1}$ 的作用下,M1的电阻值变化分别为1~7k $\Omega$ 和7~70k $\Omega$ ;在控制电压 $V_{wd2}$ 的作用下,M2的电阻值变化分别为180~170k $\Omega$ 和170~50k $\Omega$ . 该结果表明,基于忆阻器的2T2M存储单元电路可以完成数据的写入操作.

## 2.3 读操作的电路设计及其仿真分析

图6为2T2M存储单元的读操作电路图. 该电路中包含2个忆阻器(M1和M2)、3个NMOS管和1个限流电阻R3. 读操作的工作原理为:当输入电压为VDD时,电流通过M1和M2将存储信息以电压的方式表现出来(存储在M1和M2的信息分别用 $V_1 = I_{T1} \times M_1$ 和 $V_2 = I_{T2} \times M_2$ 表示). 这里需要注意的是,在读操作中忆阻器两端的电压不能超过阈值电压 $V_T$ ,否则会改变存储信息.

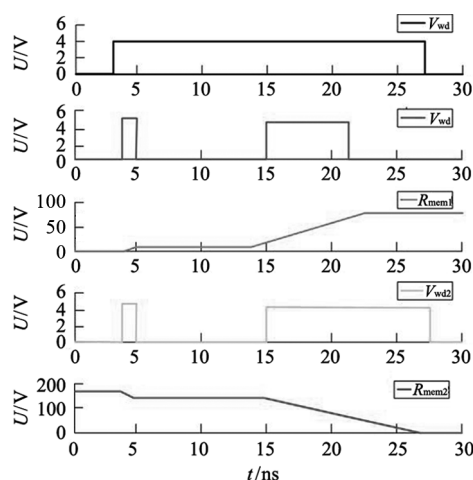


图5 2T2M存储单元的写操作仿真图

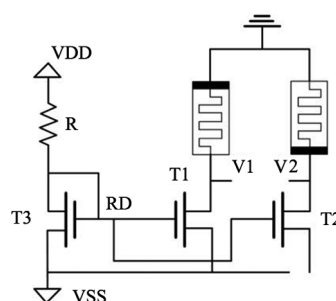


图6 2T2M存储单元的读操作电路图

读操作的基本操作步骤如下:

1) 将要读取的行地址和列地址存储到对应的行地址和列地址的寄存器中,并将行选择线和列选择线设置为对应的行地址和列地址. 行选择线与每个磁控忆阻器的控制端相连(用于选取要读取的行),列选择线与每个三极管的控制端相连(用于打开要读取的列).

2) 打开选定的行和列后,将读取电压输入到要读取的磁控忆阻器上. 该读取电压的大小和持续时间由磁控忆阻器的特性和读取速度决定.

3) 读取磁控忆阻器的输出电压,并将其传输到读电路的输入端. 输出电压的大小和极性由所选的行和列的状态决定.

4) 利用转换后的数字逻辑电平处理和分析输入信号,以实现数据的读取和进一步处理.

图7是基于2T2M存储单元的读操作仿真图. 由图7可以看出:由于 $V_1$ 和 $V_2$ 都小于忆阻器的阈值电压 $V_T$ ,所以忆阻器内部的存储状态不会被改变,进而可将存储在M1和M2中的信息转换为 $V_1$ 和 $V_2$ .

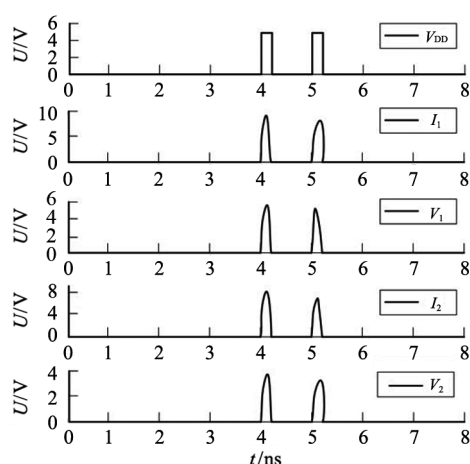


图 7 2T2M 存储单元的读操作仿真图

## 2.4 基于 2T2M 的存储交叉阵列的设计及其仿真

本文设计的存储阵列如图 8 所示. 该阵列的存储结构为  $10 \times 10$  的交叉阵列. 阵列中, 一部分忆阻器配置的是高电平, 另一部分配置的是低电平. 选址电路通过相应的字线和位线向存储单元施加电压即可实现对不同存储单元的访问.

图 9 为忆阻交叉阵列的局部放大图. 图中的每个存储单元均由 2T2M 结构组成, 各存储单元之间由 2 根位线和 1 根字线交叉相连接. 位线用于控制 2T2M 中晶体管的导通和关断, 字线用于施加输入电压.

图 10 是基于 2T2M 的  $10 \times 10$  存储交叉阵列的 Simulink 结构图. 为了更好地进行仿真实验, 本文根据交叉阵列的结构特点, 将该存储交叉阵列在 Simulink 中对其模块进行了整合, 得到了如图 11 所示的 Simulink 仿真模型图.

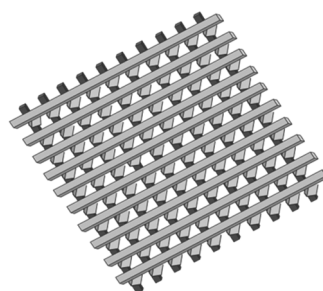


图 8 交叉阵列的示意图

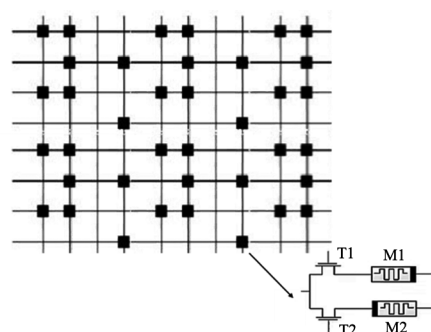


图 9 交叉阵列的局部放大图

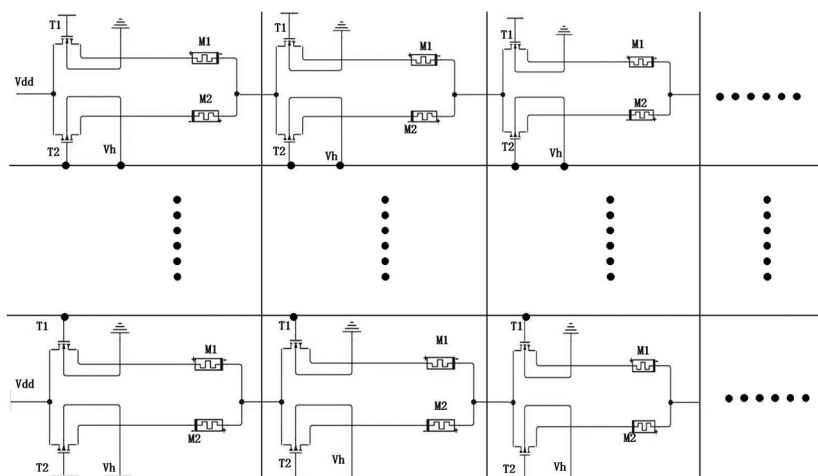
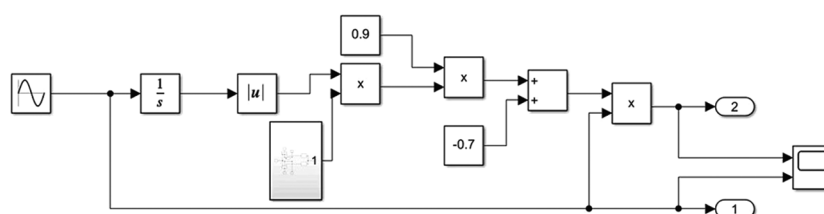
图 10 基于 2T2M 的  $10 \times 10$  存储交叉阵列的 Simulink 结构图

图 11 基于 2T2M 存储交叉阵列的仿真模型图

### 3 性能比较

为了评估本文提出的2T2M存储交叉阵列的性能,将其与现有的基于忆阻器的双极性存储器和内容寻址存储器进行了比较(均采用相同的工作电压(0.9 V)和晶体管尺寸(32 nm)),结果见表1。由表1可以看出,该阵列的读写时间显著低于基于忆阻器的双极性存储器和内容寻址存储器的读写时间。其原因是:本文设计的存储交叉阵列在读取数据时不需要搜索操作,直接读写数据即可;而基于忆阻器的内容寻址存储器须通过搜索操作才能进行数据的读取操作,基于忆阻器的双极性存储器须先将储存的数据通过编码电路将其转换成相应的电信号才能进行数据的读写操作。

表1 不同存储器的读写时间

存储器	写入时间/ns	读取时间/ns
本文设计的存储阵列	2.80	3.30
双极性存储器	219.00	1.09
内容寻址存储器	51.20	12.00

表2为不同闪存单元的读写时间。由表2可以看出,本文所设计的存储阵列在写入时间、读取时间等方面显著优于NAND闪存单元和NOR闪存单元<sup>[10-11]</sup>。

表2 不同闪存单元的读写时间

闪存单元	写入时间/ns	读取时间/ns
本文设计的存储阵列	2.80	3.30
NAND闪存单元	$1.15 \times 10^4$	90.00
NOR闪存单元	$4.00 \times 10^4$	$1.25 \times 10^5$

### 4 结论

研究表明,本文提出的基于忆阻器的2T2M存储交叉阵列不仅可有效增加存储密度,提高存储的读写速度,而且还具有电路简单的优点。在今后研究中,我们将探讨该存储交叉阵列在高存储密度电路和图像存储中的应用。

### 参考文献:

- [1] 徐红梅,李浩申,刘苡萌.基于忆阻器的SRAM存储单元设计[J].延边大学学报(自然科学版),2022,48(3):222-228.
- [2] TETZLAFF R, ASCOLI A, MESSARIS Y, et al. Theoretical foundations of memristor cellular non-linear networks; memcomputing with bistable-like memristors[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 67(2): 502-515.
- [3] 孙晶茹,李梦圆,康可欣,等.基于异构忆阻器的1T2M多值存储交叉阵列设计[J].电子与信息学报,2021,43(6):1533-1540.
- [4] LSHIZAKA M, SHINTANI M, INOUE M. Area-efficient and reliable error correcting code circuit based on hybrid CMOS/memristor circuit[J]. Journal of Electronic Testing, 2020, 36: 537-546.
- [5] WANG C H, SI Z G, JIANG X F, et al. Multi-state memristors and their applications: an overview[J]. IEEE Journal on Emerging and Selected Topics in Circuits and Systems, 2022, 12(4): 723-734.
- [6] MANEM H, ROSE G S. A read-monitored write circuit for 1T1M multi-level memristor memories [C]//2011 IEEE International Symposium of Circuits and Systems (ISCAS). Rio de Janeiro: IEEE, 2011: 2938-2941.
- [7] MANE P, TALATI N, RISWADKAR A, et al. Reconfiguration on nanocrossbar using material implication[J]. Sādhanā, 2017, 42(1): 33-44.
- [8] SINGH J, RAJ B. Design and investigation of 7T2M-NVSRAM with enhanced stability and temperature impact on store/restore energy [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(6): 1322-1328.
- [9] VONTOBEL P O, ROBINETT W, KUEKES P J, et al. Writing to and reading from a nano-scale crossbar memory based on memristors [J]. Nanotechnology, 2009, 20(42): 425204.
- [10] DUBEY S K, REDDY A, PATEL R, et al. Architecture of resistive RAM with write driver [J]. Solid State Electronics Letters, 2020, 2: 10-22.
- [11] LEE C, BAEK S H, PARK K H. A hybrid flash file system based on NOR and NAND flash memories for embedded devices [J]. IEEE Transactions on Computers, 2008, 57(7): 1002-1008.