

文章编号: 1004-4353(2022)03-0222-07

# 基于忆阻器的 SRAM 存储单元设计

徐红梅, 李浩申, 刘苡萌  
( 延边大学 工学院, 吉林 延吉 133002 )

**摘要:** 为了突破冯·诺依曼架构瓶颈,实现存算一体的存储功能,利用 D 锁存器设计了一种忆阻器存储单元. 该忆阻器存储单元由忆阻器基本逻辑与门、或门和 MeMOS 电路组成. PSpice 仿真显示,该忆阻器存储单元不仅可以实现非易失性存储功能,而且具有体积小、功耗低、结构简单等优点,可为实现非易失性存储单元提供良好参考.

**关键词:** 忆阻器; SRAM 存储单元; GDI 逻辑电路; D 锁存器

**中图分类号:** TP343

**文献标识码:** A

## Memristor-based SRAM memory design

XU Hongmei, LI Haoshen, LIU Yimeng  
( College of Engineering, Yanbian University, Yanji 133002, China )

**Abstract:** In order to break through the bottleneck of von Neumann architecture and realize the memory function of memory and calculation, a memristor memory cell is designed by using D latch. The memory cell of the memristor consists of the basic logic and gate of the memristor, or gate and MeMOS circuit. PSpice simulation shows that the memristor memory cell can not only realize the nonvolatile memory function, but also has the advantages of small size, low power consumption, simple structure and so on, which can provide a good reference for the realization of nonvolatile memory cells.

**Keywords:** memristor; SRAM memory cell; GDI logic circuit; D latch

## 0 引言

随着大数据的发展,传统的计算储存分离模式因存储速度慢、功耗高等问题已难以满足现有的数据存储要求. 忆阻器因具有体积小、集成度高、功耗低以及具有非易失性等优点<sup>[1]</sup>,因此目前被认为是新一代非易失存储单元的理想元件. 2016 年, W. Patrick 等<sup>[2]</sup>用 7 个晶体管和 1 个忆阻器设计了一种 7T1M 的新型忆阻 SRAM 器件,仿真结果显示该 SRAM 器件的功耗、平均切换速率、时滞面积值均优于其他忆阻 SRAM 器件. 同

年, V. Saminathan 等<sup>[3]</sup>提出了一种非易失性静态随机存取存储单元的设计方案,该方案的总功耗显著低于现有的基于相同 CMOS 技术的忆阻器存储单元,且读写效率大幅得到提高. 2017 年, 李薇等<sup>[4]</sup>提出了一种具有高存储容量的交互式交叉阵列结构,仿真实验表明该阵列结构可以在较少的控制导线和较高的存储容量情况下解决基于忆阻存储阵列的漏电流问题. 2020 年, 陈夏寅等<sup>[5]</sup>提出了一种以忆阻器为基础的能完成各种基本逻辑操作的可重构逻辑门电路,并对具有存储数据功能的 3-8 解码器进行了设计,其研究可为基于

收稿日期: 2022-04-15

基金项目: 吉林省高等教育学会科研项目(JGJX2020D48);吉林省教育厅科学研究项目(JJKH20210589KJ)

作者简介: 徐红梅(1975—),女,博士,教授,研究方向为非线性动力学.

忆阻器的存储计算硬件设计提供良好参考. 2021 年,孙晶茹等<sup>[6]</sup>设计了一种多值忆阻存储器交叉阵列,该多值忆阻存储器交叉阵列能在简化的电路结构中仅通过单一电压信号即可完成 4 值读写,并可有效地解决现有多值存储交叉阵列存在的漏电流问题. 基于上述研究,本文基于 MeMOSD 锁存器设计了一种忆阻 SRAM 存储单元,并通过仿真实验验证了逻辑电路功能的可靠性.

## 1 忆阻器模型

2008 年,Strukov 等为研究捏滞回线忆阻现象构建了一个边界迁移模型<sup>[7]</sup>,如图 1 所示. 图 1 中,夹在两个金属电极间的  $\text{TiO}_2$  半导体薄膜(厚度为  $D$ )为忆阻器模拟结构. 由于  $\text{TiO}_2$  薄膜具有 1 个电阻较低( $R_{\text{on}}$ )的高浓度掺杂区域和 1 个电阻较高( $R_{\text{off}}$ )的低浓度掺杂区域,因此可将这两部分区域电阻的串联之和等效为该薄膜的总电阻.

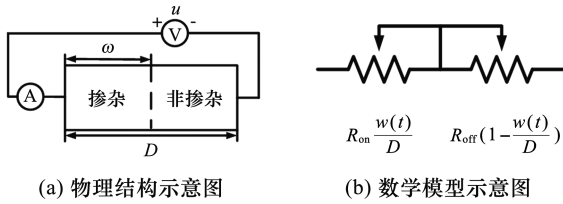


图 1 忆阻模型

当忆阻器两端外加偏置电压  $v(t)$  时,氧空位在电压作用下会发生迁移并重新排列,同时两个区域间的边界也会随之移动. 该移动过程中,外加偏置电压可表示为:

$$v(t) = \left( R_{\text{on}} \frac{w(t)}{D} + R_{\text{off}} \left( 1 - \frac{w(t)}{D} \right) \right) i(t), \quad (1)$$

$$\frac{dw(t)}{dt} = u_v \frac{R_{\text{on}}}{D} i(t). \quad (2)$$

其中  $u_v$  表示平均氧空位迁移率,  $w$  表示高浓度掺杂区的长度. 由式(1)和式(2)可得:

$$w(t) = u_v \frac{R_{\text{on}}}{D} q(t). \quad (3)$$

将式(2)代入式(3)即可得到该系统的忆阻值. 当  $R_{\text{on}} \ll R_{\text{off}}$  时,忆阻值可以化简为:

$$M(q) = R_{\text{off}} \left( 1 - \frac{u_v R_{\text{on}}}{D^2} q(t) \right). \quad (4)$$

由式(4)可知,增加氧空位迁移率  $u_v$  和减小半导体薄膜厚度  $D$  可增大忆阻的绝对数值.

## 2 忆阻器逻辑门电路

忆阻器具有高阻和低阻两种逻辑状态,其阻态会随施加电压方向进行转换. 在忆阻器的高阻状态下施加正向电压时,或者在低阻状态下施加反向电压时,其阻态均保持不变;反之,忆阻器阻态发生改变. 因此,通过测量忆阻器两端电压可以判断忆阻器的阻值状态,从而达到表示逻辑状态的目的. 本文基于这种阻态变化特性设计了忆阻器的基本逻辑电路.

### 2.1 忆阻器与门电路

将 2 个忆阻器  $M_A$  和  $M_B$  反向串联即可构成 1 个 MRL 忆阻器与门逻辑电路,如图 2 所示. 图 2 中,  $V_A$  和  $V_B$  为 2 个忆阻器的与门输入端,  $V_{\text{out}}$  为忆阻器的与门输出端.

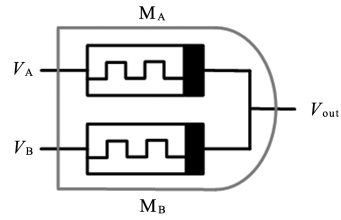


图 2 忆阻器的与门电路

在图 2 中,当忆阻器与门的输入  $V_A$  和  $V_B$  均为高电平( $V_A = V_B = 1$ )时,忆阻器  $M_A$  和  $M_B$  两端的电压相等,忆阻器状态保持不变,输出  $V_{\text{out}}$  为高电平. 当忆阻器与门的输入  $V_A$  为高电平( $V_A = 1$ )、 $V_B$  为低电平( $V_B = 0$ )时,  $V_A$  电压高于  $V_B$ . 由于无论忆阻器  $M_A$  和  $M_B$  的初值阻态为何态,其最终的状态都得分别变为高阻态和低阻态,所以此时输出  $V_{\text{out}}$  为低电平. 同理,当忆阻器与门的输入  $V_A$  为低电平( $V_A = 0$ )、 $V_B$  为高电平( $V_B = 1$ )时,输出  $V_{\text{out}}$  为低电平. 当忆阻器与门的输入  $V_A$  和  $V_B$  均为低电平( $V_A = V_B = 0$ )时,忆阻器  $M_A$  和  $M_B$  两端的电压相等,忆阻器状态保持不变,输出  $V_{\text{out}}$  为低电平.

基于上述分析得到的 MRL 忆阻器与门的真值表见表 1. 为了验证真值表的准确性,本文使用 PSpice 对 MRL 忆阻器与门逻辑电路进行建模和仿真分析,结果如图 3 所示. 由图 3 可以看出,该

电路的整体输入、输出结果和与门的真值表吻合,表明本文所设计的逻辑电路是合理的.

表 1 MRL 忆阻器与门的真值表

输入端		输出端
$V_A$	$V_B$	$V_{out}$
0	0	0
0	1	0
1	0	0
1	1	1

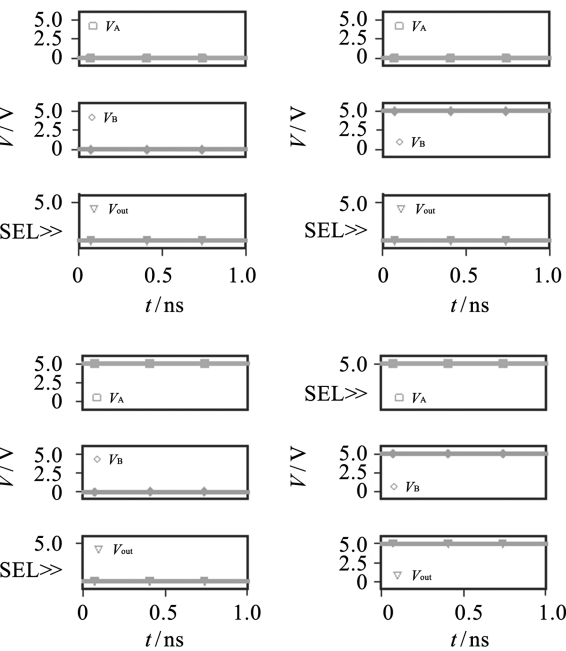


图 3 忆阻器与门的仿真结果

2.2 忆阻器或门电路

MRL 忆阻器的或门电路和 MRL 忆阻器的与门电路相似,即将 2 个忆阻器  $M_A$  和  $M_B$  正向串联即可构成 MRL 忆阻器或门逻辑电路,如图 4 所示.图 4 中, $V_A$  和  $V_B$  为 2 个忆阻器的或门输入端, $V_{out}$  为忆阻器的或门输出端.

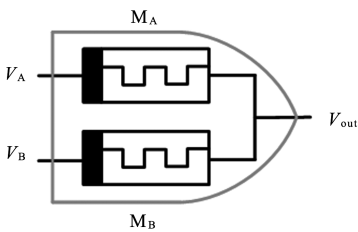


图 4 忆阻器的或门电路

图 4 中,当忆阻器或门的输入  $V_A$  和  $V_B$  均为高电平( $V_A = V_B = 1$ )时,忆阻器  $M_A$  和  $M_B$  两端

的电压相等,忆阻器状态保持不变,输出  $V_{out}$  为高电平.当忆阻器或门的输入  $V_A$  为高电平( $V_A = 1$ )、 $V_B$  为低电平( $V_B = 0$ )时,电压从高电平流向低电平(因压降作用).由于无论忆阻器  $M_A$  和  $M_B$  的初值阻态为何态,其最终的状态都将分别变为低阻态和高阻态,所以此时输出  $V_{out}$  为高电平.当忆阻器或门的输入  $V_A$  为低电平( $V_A = 0$ )、 $V_B$  为高电平( $V_B = 1$ )时,其输出  $V_{out}$  为高电平(原因与上述情况相似).当忆阻器或门的输入  $V_A$  和  $V_B$  均为低电平( $V_A = V_B = 0$ )时,忆阻器  $M_A$  和  $M_B$  两端的电压相等,且忆阻器状态保持不变,此时输出  $V_{out}$  为低电平.

基于上述分析,得到 MRL 忆阻器或门的真值表,如表 2 所示.为验证本文设计的逻辑电路的可行性,使用 PSpice 软件对上述 MRL 忆阻器或门电路进行仿真分析,结果如图 5 所示.由图 5 可以看出,该电路整体输入和输出结果与或门真值表吻合,表明本文所设计的逻辑电路是可行的.

表 2 MRL 忆阻器或门的真值表

输入端		输出端
$V_A$	$V_B$	$V_{out}$
0	0	0
0	1	1
1	0	1
1	1	1

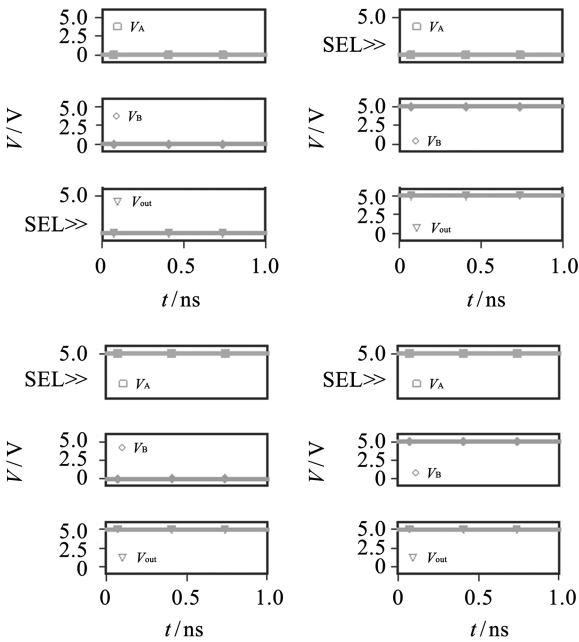


图 5 忆阻器或门的仿真结果

### 3 MeMOS 单元电路的设计

#### 3.1 GDI 单元

GDI单元由1个增强型NMOS场效应管和1个增强型PMOS场效应管组成,具有结构简单、能耗低和减少传输时延及电路开销面积等优点,其电路结构如图6所示.GDI单元具有3个输入端(P、G、N)和1个输出端(F),其中PMOS管的源极为P端,NMOS管和PMOS管的共栅极(连接)为G端,NMOS管的源极为GDIN端,NMOS管和PMOS管的共漏极(连接)为F端.由于MOS管具有开关特性,因此在GDI单元的各输入端施加不同电压即可控制PMOS管和NMOS管的导通与截止,从而可以输出不同的逻辑关系.

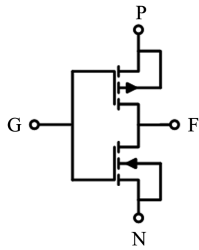


图6 GDI 单元的电路结构

#### 3.2 忆阻器 CMOS(MeMOS) 单元电路的设计

利用CMOS器件设计GDI单元具有如下优点:①设计结构灵活,电路逻辑关系丰富,能够实现忆阻器的记忆功能和阻值转变功能.②忆阻器的数量在忆阻逻辑电路中可不受限制,如P端可连接忆阻器 $M_1 \sim M_n$ ,输入信号可为 $X_1 \sim X_n$ .因此,本文设计了一种MeMOS单元电路,如图7所示.图7中,3个输入端(P、G、N)分别与忆阻逻辑电路、电源电压 $V_{DD}$ 、地GND连接.

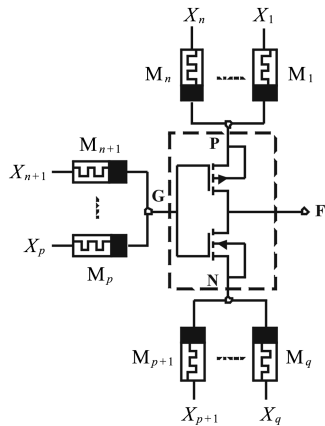


图7 MeMOS 单元的电路结构

### 4 MeMOS 存储器的设计

#### 4.1 基于 MeMOSD 锁存器的设计

D锁存器的电路及其真值表如图8和表3所示.当 $Clk = 0$ 时,输出状态保持不变;当 $Clk = 1$ 时,输出随输入状态而改变.

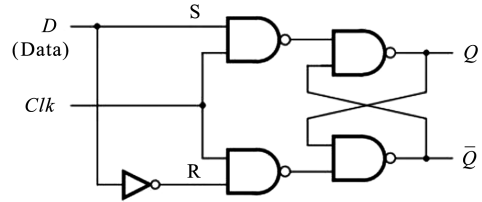


图8 D 锁存器的电路结构

表3 D 锁存器的真值表

$Clk$	$D$	$Q$	$\bar{Q}$
0	$x$	不变	不变
1	0	0	1
1	1	1	0

基于MeMOS设计的D锁存器的电路如图9所示.该D锁存器由2个忆阻器组成的忆阻器与逻辑门和1个GDI单元构成.GDI单元P端的当前输入为前1次的输出 $Q_{n-1}$ ,G端的输入信号为 $D$ ,N端与忆阻器逻辑电路的输出端 $V_o$ 相连接.

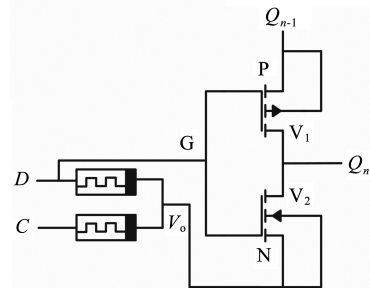


图9 基于 MeMOSD 锁存器的电路结构

由图9可知:当控制信号 $D = 0$ 时,无论输入信号 $C$ 为何值,输出信号 $Q_n$ 都与前1次的输出信号 $Q_{n-1}$ 保持一致.当输入信号 $C = 0$ 时,忆阻器与门的输出 $V_o = 0$ .若此时前1次的输出 $Q_{n-1} = 0$ ,则PMOS管的 $V_1$ 和NMOS管的 $V_2$ 都处于截止状态,输出信号 $Q_n$ 输出的是低电平;若 $Q_{n-1} = 1$ ,则 $V_1$ 管导通, $V_2$ 管截止,输出信号 $Q_n$ 输出的是高电平.当输入信号 $C = 1$ 时,忆阻器与门的输出为低电平,此时状态与 $C = 0$ 时情况一致.由上述可知,当控制信号 $D = 1$ 时,输出信号 $Q_n$ 与 $Q_{n-1}$

一致,由此可知此时 D 锁存器能够保持信号不变。

当控制信号  $D=1$ 、输入信号  $C=0$  时,忆阻器与门的输出  $V_o=0$ ,且此时  $V_1$  管截止, $V_2$  管导通,输出信号  $Q_n$  输出的是低电平;当输入信号  $C=1$  时,忆阻器与门的输出  $V_o=1$ ,且此时  $V_1$  管截止, $V_2$  管导通,输出信号  $Q_n$  输出的是高电平。由以上可知,此时输出的信号状态能够使 D 锁存器的输出随输入进行复位和置位。

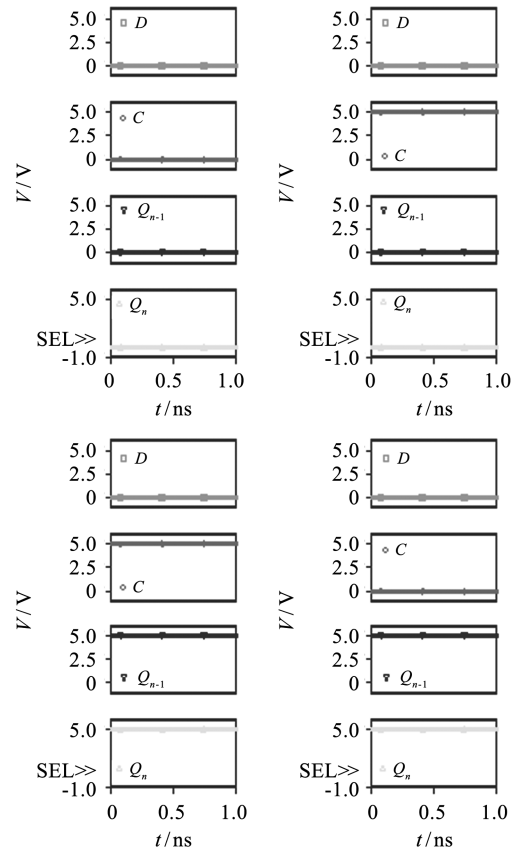
基于以上控制信号(0 和 1 两种情况),利用 PSpice 软件对所设计的 D 锁存器进行仿真验证,结果如图 10 所示。由图 10(a)可以看出,当控制信号  $D$  为低电平时,输入信号  $C$  从低电平变为高电平,输出信号  $Q_n$  仍保持前 1 次的输出信号。由图 10(b)可知,当控制信号输出高电平时,输出信号  $Q_n$  可以随输入信号实现复位和置位。以上表明,基于 MeMOS 设计的 D 锁存器的逻辑关系与传统 D 锁存器一致。

#### 4.2 SRAM 存储单元的设计

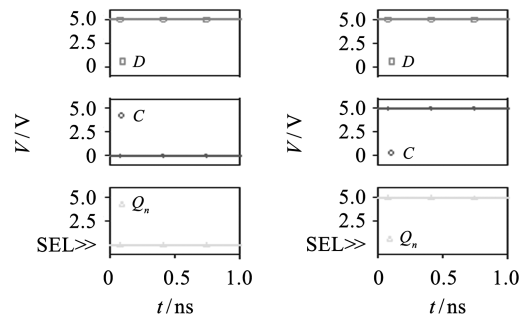
基于 MeMOS 的 SRAM 存储单元电路及其外围控制电路如图 11 所示。SRAM 存储单元由 1 个忆阻器与逻辑门、1 个忆阻器和 1 个 GDI 单元组成(虚线框内)。D 锁存器的输出端连接 1 个忆阻器  $M_1$ 。由于忆阻器具有非易失性,因此  $M_1$  可存储 D 锁存器输出的数据,并在下一个信号到来前始终保存该数据,从而可实现非易失存储。读写控制电路主要包括读写缓冲放大器( $A_1$  和  $A_2$ )和片选信号控制电路等。行地址线的状态由  $X_i$  决定,列地址线的状态由  $Y_j$  决定。 $X_i$ 、 $Y_j$  与与逻辑门连接。当  $X_i$  和  $Y_j$  中有 1 个是低电平时,与逻辑门输出的是低电平。此时存储单元为非工作状态,新输入的信息无法被存储,即忆阻 D 锁存器保持原有存储信息,不随输入的信息而改变。当  $X_i$  和  $Y_j$  都为高电平时,与门输出的是高电平。此时存储单元可以写入新数据,且忆阻 D 锁存器的输出随着输入的信息而改变,由此可实现读写操作。

#### 4.3 存储单元电路的读写功能

基于 MeMOS 的 SRAM 存储单元读写操作的序列图如图 12 和图 13 所示。图中,  $Q_1$  为输入信号,  $X_i$  和  $Y_j$  为行列地址信号,  $\overline{CS}$  为片选信号,  $R/\overline{W}$  为读写控制信号,  $Q_2$  为输出信号。



(a) 输出电流的保持状态



(b) 输出电流的复位和置位状态

图 10 D 锁存器的 PSpice 仿真结果

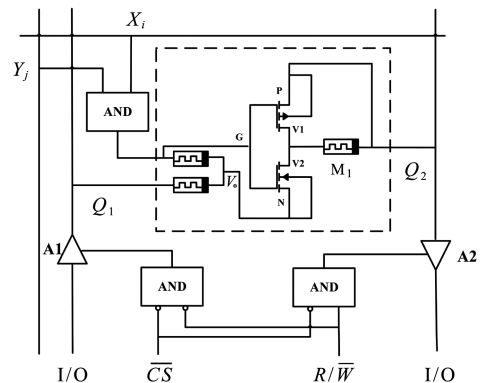


图 11 SRAM 存储单元的电路结构



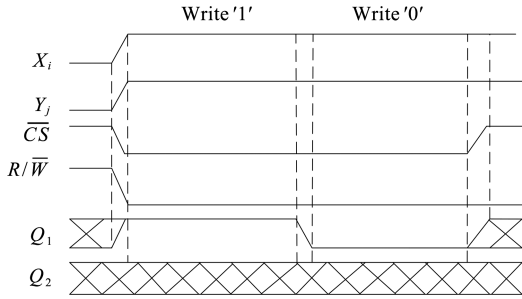


图 12 SRAM 存储单元的写操作序列图

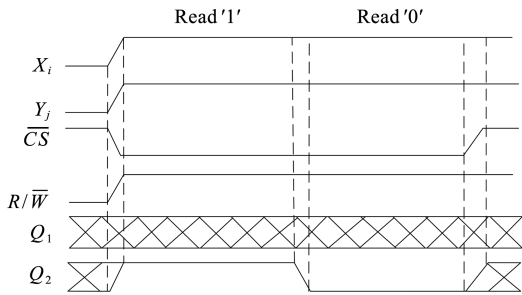


图 13 SRAM 存储单元的读操作序列图

1) 写操作的工作原理. 当写控制电路选中 1 个存储单元时, 此时  $X_i = 1$ 、 $Y_j = 1$ . 当  $\overline{CS} = 0$ ,  $R/\overline{W} = 0$  时,  $A_1$  导通,  $A_2$  断开, I/O 端口的数据通过  $A_1$  传送到存储单元上. 即: 若输入信号  $Q_1$  为逻辑“1”, 则写电压施加到忆阻存储单元的输入端, 并且驱动该忆阻存储单元达到高电平状态. 当输入信号终止或读/写信号终止后, 忆阻阻值将维持在高电平状态, 以此完成数据的储存.

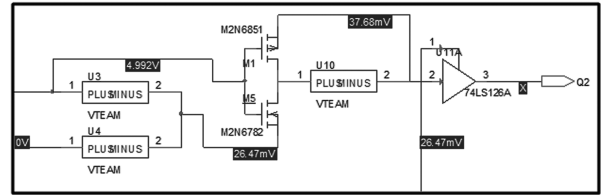
2) 读操作的工作原理. 当读控制电路选中 1 个存储单元时, 此时  $X_i = 1$ 、 $Y_j = 1$ . 当  $\overline{CS} = 0$ ,  $R/\overline{W} = 1$  时,  $A_2$  导通,  $A_1$  断开, 此时存储单元所存储的数据由输出信号  $Q_2$  传入. 即: 若忆阻存储单元存储的数据为“1”, 则存储单元输出高电平, 此时高电平信号通过  $A_2$  传入 I/O 端口即可实现存储数据的读取操作.

#### 4.4 存储单元的 PSpice 仿真

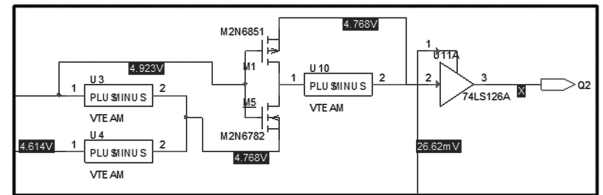
为了验证存储单元逻辑的可靠性, 本文利用 PSpice 软件对基于 MeMOS 的 SRAM 存储单元进行了建模和仿真. 存储单元中使用的忆阻器为 VTeam 忆阻器模型. PSpice 仿真电路按照本文设计的忆阻存储单元电路进行搭建, 其中 GDI 单元中的 PMOS 管选择 M2N6851 晶体管, NMOS

管选择 M2N6782 晶体管, 三态缓冲器选择 74LS126A. 片选信号控制电路和读写控制电路中的与门和非门分别用本文设计的忆阻器与门电路和 CMOS 反向器代替. 输入信号和控制信号的高低电平用电源电压的大小表示, 其中 0~1 V 表示低电平, 4~5 V 表示高电平.

仿真分析时, 首先将行控制信号  $X_i$  和列控制信号  $Y_j$  设置为高电平, 即  $X_i = 5$  V,  $Y_j = 5$  V. 当片选信号  $\overline{CS} = 0$  V, 读写控制信号  $R/\overline{W} = 0$  V 时, 存储单元执行写指令. 图 14 为写操作时输出端的局部电路. 由图可知, 在执行写指令时, 即使存储单元输出了数据, 但由于此时三态缓冲器未导通, 因此此时数据仍无法输出到 I/O 端口.



(a) 写入数据为0的输出电路

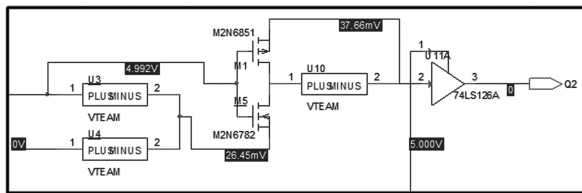


(b) 写入数据为1的输出电路

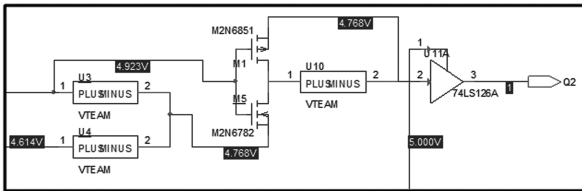
图 14 写操作时输出端的局部电路

当片选信号  $\overline{CS} = 0$  V, 读写控制信号  $R/\overline{W} = 5$  V 时, 存储单元执行读指令. 图 15 为读操作时输出端的局部电路. 由图 15(a) 可以看出, 当读出数据为 0 时, 三态缓冲器导通, 输出端为低电平; 由图 15(b) 可以看出, 读出数据为 1 时, 输出端为高电平.

对比存储单元读写序列可知, 基于 MeMOS 的 SRAM 存储单元读写状态的 PSpice 仿真结果与设计序列图逻辑一致, 这表明本文设计的存储单元是可行的. 另外, 由于本文设计的存储单元还能在之前的数据存储基础上继续对现有的数据进行存储, 因此可大幅提高数据的存储效率.



(a) 读出数据为 0 部分的输出电路



(b) 读出数据为 1 部分的输出电路

图 15 读操作时输出端的局部电路

#### 4.5 实验结果分析

1) 器件数量. 本文设计的 SRAM 存储单元使用了 2 个 MOS 管和 3 个忆阻器, 传统的 SRAM 存储单元使用了 6 个 MOS 管, 文献[8]中的 SRAM 存储单元使用了 4 个 MOS 管和 2 个忆阻器, 文献[9]中的 SRAM 存储单元使用了 8 个 MOS 管和 1 个忆阻器, 文献[2]中的 SRAM 存储单元使用了 7 个 MOS 管和 1 个忆阻器. 由此可知, 本文设计的存储单元所使用的器件数目显著低于其他存储单元, 因此本文设计的存储单元的电路面积和功耗显著低于其他存储单元.

2) 面积开销. 本文设计的 SRAM 存储单元为 2T3M 结构, 传统 SRAM 存储单元为 6T 结构, 文献[8]研究的存储单元为 4T2M 结构, 文献[9]研究的存储单元为 8T1M 结构, 文献[2]研究的存储单元为 7T1M 结构. 由此可知, 本文设计的 SRAM 存储单元面积远远小于其他 SRAM 存储单元面积, 因此可大幅缩小存储器体积及提高 SRAM 存储器的集成度.

3) 延迟时间. 本文设计的 SRAM 存储单元的延迟时间为 1 ns, 文献[2]研究的 7T1M 存储单元的延迟时间为 176.21 ns, 文献[8]研究的 4T2M 存储单元的延迟时间为 2 ns, 文献[9]研究的 8T1M 存储单元的延迟时间为 100 ns, 传统

SRAM 存储器的延迟时间为 20 ns. 由此可知, 本文设计的存储器的延迟时间显著低于其他存储器的延迟时间, 可大幅提高数据的存储效率.

## 5 结论

本文基于 MeMOS 的 D 锁存器和忆阻器设计了一种忆阻 SRAM 存储单元, 通过 PSpice 仿真分析表明: 该存储单元不仅可以提高数据存储效率和存储容量, 而且可减少器件数量和缩短延迟时间. 因此, 本文设计的存储单元可为实现非易失性存储单元提供参考. 在今后的研究中, 我们将探讨如何将本文设计的存储单元应用于图像存储.

## 参考文献:

- [1] 钟悦航, 武继刚, 刘鹏, 等. 忆阻器的三值逻辑门和加法器设计[J]. 微电子学与计算机, 2021, 38(7): 60-66.
- [2] PATRICK W C HO, HAIDER A F ALMURIB, T NANDHA KUMAR. Memristive SRAM cell of seven transistors and one memristor [J]. Journal of Semiconductors, 2016, 37(10): 60-63.
- [3] SAMINATHAN V, PARAMASIVAM K. Design and analysis of low power hybrid memristor-CMOS based distinct binary logic nonvolatile SRAM cell [J]. Circuits & Systems, 2016, 7(3): 119-127.
- [4] 李薇, 樊金荣. 一种具有高存储容量的交互式忆阻交叉阵列(英文)[J]. 科学技术与工程, 2017, 17(9): 229-232.
- [5] 陈夏寅, 刘高飞, 彭菊红, 等. 可重构逻辑门电路的设计与仿真[J]. 信息通信, 2020(7): 114-116.
- [6] 孙晶茹, 李梦圆, 康可欣, 等. 基于异构忆阻器的 1T2M 多值存储交叉阵列设计[J]. 电子与信息学报, 2021, 43(6): 1533-1540.
- [7] STRUKOV D B, SNIDER G S, STEWART D R, et al. The missing memristor found [J]. Nature, 2008, 453: 80-83.
- [8] NEHA BORKAR, SHYAM AKASHE. Design and analysis of low power memristor based non-volatile 4T SRAM cell with power reduction techniques[J]. Journal of Active and Passive Electronic Devices, 2017, 12(1/2): 107-110.
- [9] RABBANI P, DEHGHANI R, SHAHPARI N. A multilevel memristor-CMOS memory cell as a ReRAM [J]. Microelectronics Journal, 2015, 46(12): 1283-1290.