

文章编号: 1004-4353(2018)04-0365-04

# 基于 FPGA 的 VGA 汉字显示器设计

李营, 殷小杭, 吕兆承, 陈帅, 权循忠

(淮南师范学院 电子工程学院, 安徽 淮南 232038)

**摘要:** 提出一种基于 FPGA 的 VGA 汉字显示器设计方案. 以 Altera 公司 Cyclone IV E 系列的 EP4CE6E22C8 为核心控制芯片, 用 FPGA 内部的 ROM 存储汉字信息, 使用硬件描述语言 Verilog 设计实现方案中的各功能模块. 仿真结果表明, FPGA 处理器可实现了汉字显示, 并可精确控制显示位置.

**关键词:** FPGA; VGA; 汉字显示; ROM

**中图分类号:** TP332.3; TN402

**文献标识码:** A

## Design of VGA Chinese character display based on FPGA

LI Ying, YIN Xiaohang, LYU Zhaocheng, CHEN Shuai, QUAN Xunzhong

(School of Electronic Engineering, Huainan Normal University, Anhui 232038, China)

**Abstract:** A design scheme of VGA Chinese character display based on FPGA is proposed. The EP4CE6E22C8 of Cyclone IV E series of Altera company was used as the core control chip, and the ROM inside FPGA was used to store the Chinese character information, and the function modules were designed and implemented using the hardware description language Verilog. The simulation results show that the FPGA processor can precisely control and realize Chinese character display.

**Keywords:** field programmable gate array(FPGA); video graphic array(VGA); chinese characters display; random access memory(ROM)

## 0 引言

目前, 作为显示器接口工业标准的 VGA, 它往往采用通用 CPU 控制来实现汉字显示; 但由于通用 CPU 的体积较大, 因此其无法适用于小型便携式设备. FPGA 作为可编程处理器, 具有容量大、周期短、灵活性好等特点<sup>[1]</sup>. 若利用 FPGA 控制 VGA 显示汉字, 则汉字的字模数据不需要经过 PC 机且仅在系统内部传输即可, 因此可减少硬件设备成本, 增强系统的稳定性和扩展性<sup>[2]</sup>. 杜宗展等<sup>[3]</sup>采用 Xilinx ISE 软件及 VHDL 语言开发设计了一种汉字显示系统, 但该系统缺乏推广性. 郑争兵等<sup>[4]</sup>设计的 LED 屏汉字控制系统只

适用于  $16 \times 16$  LED 屏, 而对其他尺寸的 LED 屏并不适用. 鉴于此, 本文设计基于 FPGA 的 VGA 汉字显示器, 在 Quartus 下利用硬件描述语言 Verilog 实现各功能模块, 并通过实验验证该方法的可靠性.

## 1 VGA 接口简介

VGA 接口是一种 D 型接口, 采用非对称分布连接方式, 共有 15 针. 对用户来说, 其引出线常用的有 5 个信号: 红色 R, 绿色 G, 蓝色 B, 行同步信号 HS, 场同步信号 VS. HS 和 VS 的作用是处理输入模拟信号, 并联合起来控制 VGA 的显示

**收稿日期:** 2018-07-13

**作者简介:** 李营(1983—), 女, 助教, 研究方向为 FPGA 设计及信号与信息处理.

**基金项目:** 淮南师范学院校级科研项目(2015xj14, 2018xj37); 淮南师范学院校级质量工程重点项目(2017hsjyxm15); 安徽省高等学校教学研究项目(2015jyxm301); 安徽省省级大学生创新训练项目(201710381084)



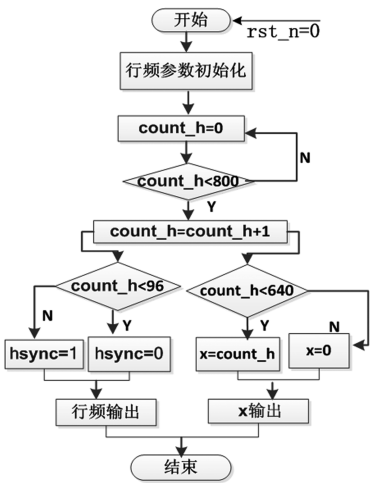


图 4 行频率扫描算法流程图

2.2 汉字存储 ROM 模块的设计

首先采用 PCtoLCD2002 软件进行字模转换, 以此得到汉字像素数据. 使用该软件时首先应对取字模选项进行设置, 即根据需要设置字宽和字高. 例如, 显示汉字“淮南师范学院”, 且每个汉字的字宽和字高为  $32 * 32$ , 则需设置每行显示数据点阵为 4, 其原因是  $32=4 * 8$ , 如图 5 所示.



图 5 PCtoLCD2002 软件字模选项设置图

字模选项设置好后, 须在 PCtoLCD2002 软件中输入汉字, 点击生成字模产生对应字模数据. 图 6 为输入“淮南师范学院”后最终获得字模数据的截图.

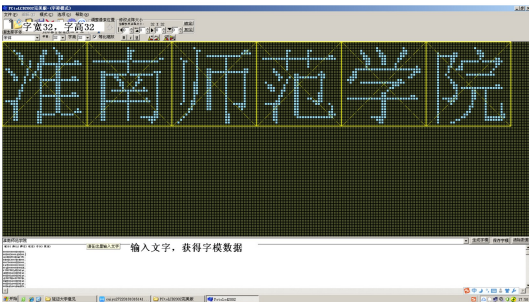


图 6 “淮南师范学院”的字模提取图

由于设置“淮南师范学院”每个字的字宽和字高为  $32 * 32$ , 故其字模存储文件 data. mif 中需定义位宽为 32, 数据深度为  $192(32 * 6)$ . 在 Quartus 13.1 下生成单口 IP 核 ROM 就可调用此数据文件, 该 mif 文件的部分内容如下:

```
WIDTH=32;
DEPTH=192;
ADDRESS_RADIX=UNS;
DATA_RADIX=HEX;
CONTENT BEGIN
0:00000000;
1:00200200;
2:00100200;
3:00180308;
4:100F03FC;
5:0C0607FC;
6:06003C00;
...
191:00000000;
END
```

上述文件中的 CONTENT BEGIN 到 END 块内的数值是输入汉字“淮南师范学院”后生成的字模数据(按序排列). 若想获得其他汉字的 mif 文件, 可类似设置 PCtoLCD2002 软件, 输入汉字后采用同样的流程获得.

2.3 ROM 读取控制模块的设计

本文设计的地址计数器时钟与行场计数器相同, 均为 25 MHz. ROM 读取控制模块与前述两个模块连接, 并根据时序控制模块的输出有效地址 valid 将汉字数据传送至显示器. 当 VGA 时序控制模块的行计数到 232(人为指定)时, 汉字数据地址变量 addr 开始计数, 同时 ROM 读取汉字的像素值(rom\_data), 并经过程序将显示信号发送到 VGA 接口. 按照汉字数据的总像素多少划定行和列的起始坐标和终止坐标, 并依据有效区域声明此时对应的汉字数据<sup>[8]</sup>. 汉字数据为 1 时显示白色, 否则为黑色, 其核心代码为:

```
input [31:0] rom_data;
output [7:0] rom_addr;
output [2:0] vga_rgb;
reg [7:0] addr;
```

```
always @ (posedge clk or negedge rst_n)
    if (!rst_n) addr <= 8'd0;
    else if (x==10'd235) addr <= 8'd0;
    else addr <= addr+1'b1;
wire dis_topic = (y>10'd239) & (y<10'd271) &
    (x>10'd235) & (x<10'd426);
reg [2:0] rgb;
always @ (posedge clk)
    if (!valid) rgb=3'b000;
    else if (dis_topic)
        begin
            if (rom_data[10'd271-y]) rgb=3'b111;//白色
            else rgb=3'b000;
        end
    else rgb=3'b000;//黑色
assign rom_addr=addr;
assign vga_rgb=rgb;
```

2.4 顶层模块的设计

顶层模块的作用是将各底层模块间数据信号和控制信号进行连接,同时调用 ROM 存储的汉字信息,最终实现系统要求.完成该模块任务后系统最终生成的 RTL 图如图 7 所示.图 7 中,顶层模块的时钟输入端口 clk 对应图 2 的 clk25M,输入复位端口 rst\_n 对应图 2 的 rst\_n,输出端口 rgb[2:0](汉字数据)对应图 2 的 RGB 显示器输入,输出端口 hsync 和 vsync 分别对应图 2 的 HS 和 VS.由此可见,系统的功能与图 2 所示的系统底层模块关系功能框图一致.

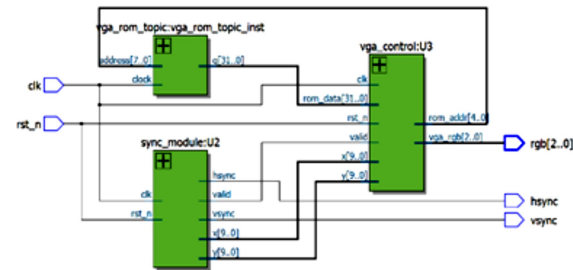


图 7 RTL 图

3 系统仿真实验

3.1 系统开发工具

系统开发工具包括仿真软件(Quartus II 13.1)、硬件描述语言(Verilog HDL)和 FPGA 核心板(EP4CE6E22C8).

3.2 系统时序信号仿真

系统设计完成后编写测试文件进行时序仿真.为了便于放大观察,分别对行同步信号 hsync 和场同步信号 vsync 进行截图,结果如图 8 和图 9 所示.两图中的 clk 是 25 MHz 输入时钟信号, rst\_n 为输入复位信号.由两图中的分析线可知:输出 HS 的周期为 31.7  $\mu$ s, VS 的周期为 16.7 ms,这与 2.1 中所要求的 VGA 接口时序一致,说明时序满足系统设计要求.

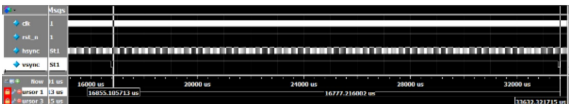


图 8 VGA 接口 vsync 时序仿真图(截图)

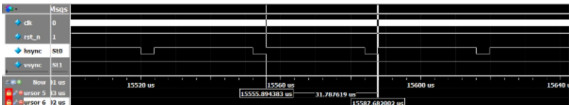


图 9 VGA 接口 hsync 时序仿真图(截图)

3.3 系统仿真结果

仿真结果如图 10 所示,其效果达到了设计要求.若要显示其他汉字,按照 2.2 中的方法定制类似 LPM\_ROM 即可,而且汉字显示的位置可调.



图 10 硬件显示效果图

4 结束语

本文在 640 \* 480@60 分辨率下,利用自顶向下层次化建模思想,设计出一种基于 FPGA 的 VGA 汉字显示器.仿真结果表明,本文方法可实现汉字显示,且汉字显示位置可控、更改方便.本文研究结果为汉字控制显示提供了一种新思路,但在系统功能方面缺乏与用户的实时交互功能,因此今后将进一步拓展该功能,以更好地完善本文方法.

4)按本文得出的粉煤灰最佳取代率计算,每制备 1 万 m<sup>3</sup> 混凝土,可以节约 1 054 t 水泥,节约资金约 484 840 元(依据延吉市 2017 年的水泥和粉煤灰价格),同时分别可减少 SO<sub>2</sub>、NO<sub>2</sub>、氟化物的排放约 1 264.8、2 529.6、31.62 kg. 另外,用废弃玻璃代替天然砂,每 1 万 t 可节约垃圾处理费用约 6 000 元. 由此可以看出,双掺粉煤灰和废弃玻璃的混凝土不仅具有良好的经济效益,而且十分有利于环境的保护.

参考文献:

[1] 刘连新. 利用玻璃研制轻骨料及轻混凝土[J]. 新型建筑材料,2002(4):16-17.  
[2] 肖建庄. 再生混凝土[M]. 北京:中国建筑工业出版社,2008.

[3] 张绩. 自密实再生混凝土性质及力学研究[D]. 大连:大连理工大学,2015.  
[4] Topçu İ B, Canbaz M. Properties of concrete containing waste glass[J]. Cement and Concrete Research, 2004,34(2):267-274.  
[5] 刘光焰. 废弃玻璃骨料混凝土性能的实验与理论研究[D]. 广西:广西大学,2010.  
[6] 王海娟,张义顺,赵继芬,等. 利用废弃玻璃粉细掺料制备混凝土试验研究[J]. 河南理工大学学报, 2012,31(5):608-612.  
[7] 王凤池,王振伟,张霓,等. 废玻璃集料对混凝土强度的影响[J]. 新型建筑材料,2011(11):12-14.  
[8] 虞春龙,袁勇,水口裕之,等. 自密实再生混凝土试验研究[J]. 低温建筑技术,2011(6):6-7.  
[9] 阮雪琴. 利用废弃玻璃制备自密实混凝土的研究[J]. 工业建筑,2015,45(10):126-131.  
[10] 黄冈,宋奕臻. 废弃玻璃在水泥混凝土中的应用[J]. 房地产周刊,2015(25):433-435.

~~~~~  
(上接第 368 页)

参考文献:

[1] 周卓然,徐道连,吕凤飞,等. 基于 FPGA 的 VGA 图像显示系统的设计与实现[J]. 仪表技术与传感器, 2012(7):90-92.  
[2] 王亮,李正,宁婷婷,等. VGA 汉字显示的 FPGA 设计与实现[J]. 计算机工程与设计,2009,30(2):275-281.  
[3] 杜宗展,王振河,冯迎春. 基于 FPGA 的 VGA 图像显示系统的设计[J]. 现代电子技术,2015,38(16): 95-99.  
[4] 郑争兵,赵峰. 基于 FPGA 的 LED 显示屏控制系统的设计与实现[J]. 陕西理工大学学报(自然科学

版),2015,31(2):25-29.  
[5] 袁堂青,张玉璘. 基于 FPGA 的 VGA 汉字显示系统设计及实现[J]. 济南大学学报(自然科学版),2011, 25(1):36-39.  
[6] 韩团军,赵峰. 基于 FPGA 的 M4K 块配置 ROM 字符数据存储 VGA 显示[J]. 陕西理工大学学报(自然科学版),2016,32(5):22-27.  
[7] 陈权,朱卫华,曹亮,等. 基于 FPGA 的图像叠加及 VGA 显示设计[J]. 南华大学学报(自然科学版), 2017,31(3):55-59.  
[8] 郑争兵. 基于 FPGA 的 VGA 波形显示系统设计与实现[J]. 液晶与显示,2014,29(1):88-93.