

文章编号: 1004-4353(2016)02-0161-04

# 基于 AGC 的等精度数字频率计设计

林俊武, 饶连周, 林东东, 张亚威, 朱婉露

( 三明学院 机电工程学院, 福建 三明 365004 )

**摘要:** 为了改善工业控制中对频率计的测量精度不高和测量带宽不大的问题, 依据等精度测量技术, 利用单片机 STM32F103VET6、FPGA 及自增益控制电路(AGC)设计了一款数字频率计, 该频率计可以测量信号频率、周期、时间间隔以及占空比等参数. 经实测表明, 该频率计具有测量精度高、测量带宽大等优点, 具有良好的实用价值.

**关键词:** STM32F103VET6; FPGA; 自增益控制电路; 数字频率计

**中图分类号:** TP216

**文献标识码:** A

## Design of equal precision digital frequency meter based on AGC

LIN Junwu, RAO Lianzhou, LIN Dongdong, ZHANG Yawei, ZHU Wanlu

( *Department of Electromechanical Engineering, Sanming University, Sanming 365004, China* )

**Abstract:** In order to improve low accuracy and small bandwidth of frequency meter in the industrial control, by using equal precision measurement method, a digital frequency meter was designed based on STM32F103VET6, FPGA and automatic gain control (AGC) circuit. The digital frequency meter can measure the parameters such as signal frequency, cycle, time interval, and duty cycle. The test result shows that the frequency meter has high accuracy and big bandwidth, so it has good practical value.

**Keywords:** STM32F103VET6; FPGA; AGC; digital frequency meter

随着电子信息产业的不断发展, 信号作为其最基本的元素, 信号频率的测量在科学研究及实际工程应用中越来越受到重视, 而且对其测量精度和测量范围宽度的要求也越来越高. 早期的频率计一般由大量的硬件电路构成, 存在体积大、速度慢、精度低等缺陷. 目前, 频率计大多采用单片机技术<sup>[1-3]</sup>, 在性能上有了很大地改善, 但由于单片机本身的资源限制, 导致其测量精度不高(1%)、测量频率范围不大(50 MHz 以下)以及稳定性不好的问题, 因此仍然无法满足现代电子工业的发展要求. 鉴于此, 本文采用 STM32F103VET6 单片机作为控制器, 并结合 FPGA、自增益控制电路(AGC)和等精度测频技术等, 设计了一款数字频

率计, 并对其进行了检测.

### 1 等精度测频法原理

常用的频率测量方法一般有直接测频法和等精度测频法. 直接测频法<sup>[4-6]</sup>是指若在一定时间间隔  $T$  (也称闸门时间) 内测得一个周期性信号的重复变化次数为  $N$ , 则其频率可表示为  $f = N/T$ , 该方法的测量准确度与被测信号的频率有关, 只适合测量频率较高的信号, 不能满足在整个测量频段内的测量精度保持不变的要求. 直接测频法还有另外一种形式是周期测频法, 即在被测信号一个周期时间内测量信号的脉冲个数, 然后通过换算即可以得出被测信号的频率, 但该方法只适

合测量频率较低的信号,当被测信号的周期较短时,其精度大大下降.

等精度测频法<sup>[7-9]</sup>能够很好地克服直接测频法的缺陷,该方法在所测量的整个频段内均可实现相同精度的测量,即其测量精度与被测信号的频率无关,而且精度比较高.等精度测频法的系统框图如图 1 所示.

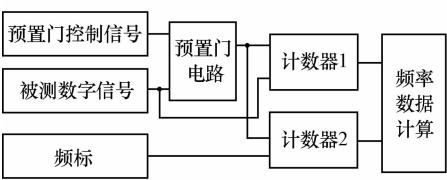


图 1 等精度测频原理图

在图 1 中,计数器 1 和计数器 2 分别用来对标准时钟频率(频标)和被测数字脉冲计数. 设在同步门控制结束时计数器 1 的计数为  $N_1$ , 计数器 2 的计数为  $N_2$ , 假定标准时钟频率为  $F_1$ , 被测频率为  $F_x$ , 则有:

$$F_x/N_2 = F_1/N_1, \tag{1}$$

$$F_x = (F_1/N_1) \times N_2. \tag{2}$$

由式(2)可以看出,测量精度与预置门信号时间无关,主要由  $F_1$  的频率稳定度来确定,测量精度基本上近似于标准时钟的稳定度. 本设计中将预置闸门时间设定为 1 s. 预置门电路内部包括一个同步门电路,用来实现被测频标与被测频率的同步,这样可避免对被测信号计数所产生  $\pm 1$  个字的误差,有利于提高测量精度,减少基本误差.

2 系统软硬件设计

数字频率计主要由主控模块、自增益控制 AGC 模块、分频器模块、整形模块、数据采集模块和 LCD 显示模块等组成,其系统硬件设计框图如图 2 所示. 主控模块选用 STM32F103VET6 单片机,具有处理速度快,ROM 和 RAM 容量大等优点,可满足本系统的设计要求. 数据采集模块采用可编程逻辑器件 FPGA,它具有丰富的资源,可简化系统外围逻辑和时序芯片的数量,用于完成对被测信号的计数并将测量的结果发送给单片机.

由图 2 可以看出,当系统开始运行时,输入信号通过前级固定增益放大,将输入信号稳定在一

个固定的可测量电压范围内. 当输入信号的频率为 1 Hz~10 MHz 范围内时,信号直接被送入整形电路中,将信号整形为 FPGA 能够测量的信号;若输入信号的频率  $\geq 10$  MHz,则要将信号送入分频电路进行分频后再送入整形电路中传送给 FPGA, FPGA 将测量的结果发送给单片机实现数据的运算和显示.

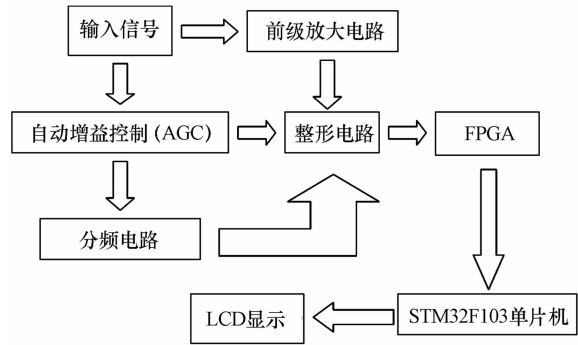


图 2 数字频率计硬件设计框图

2.1 自动增益控制模块

自动增益控制模块主要是由压控放大器 VCA821、高速放大器 OPA695 和峰值检波反馈电路构成,其最大的作用就是将不同频率、不同幅度的被测信号放大为基本相同的幅度,有效解决被测信号输入幅度和频率范围变化大的问题. 自动增益控制模块的流程图及其原理图分别如图 3 和图 4 所示.

自动增益控制电路的原理是:输入信号经压控放大器 VCA821 和高速放大器 OPA695 两级放大,OPA820、二极管和 RC 对高速放大器 OPA695 的输出信号进行峰值检测和检波后,将信号反馈到压控放大器 VCA821,以此来控制其放大倍数,并在输出端得到基本相同幅度的信号.

2.2 整形电路原理

整形电路主要用于将输入的不同类型、不同幅值的信号整形成方波. 在本文设计中采用 TI 公司的高速比较器 TL3016 作为整形电路,其原

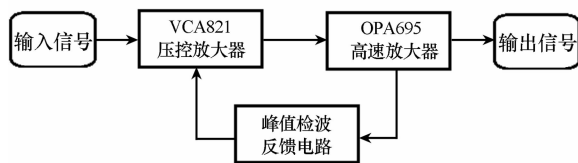
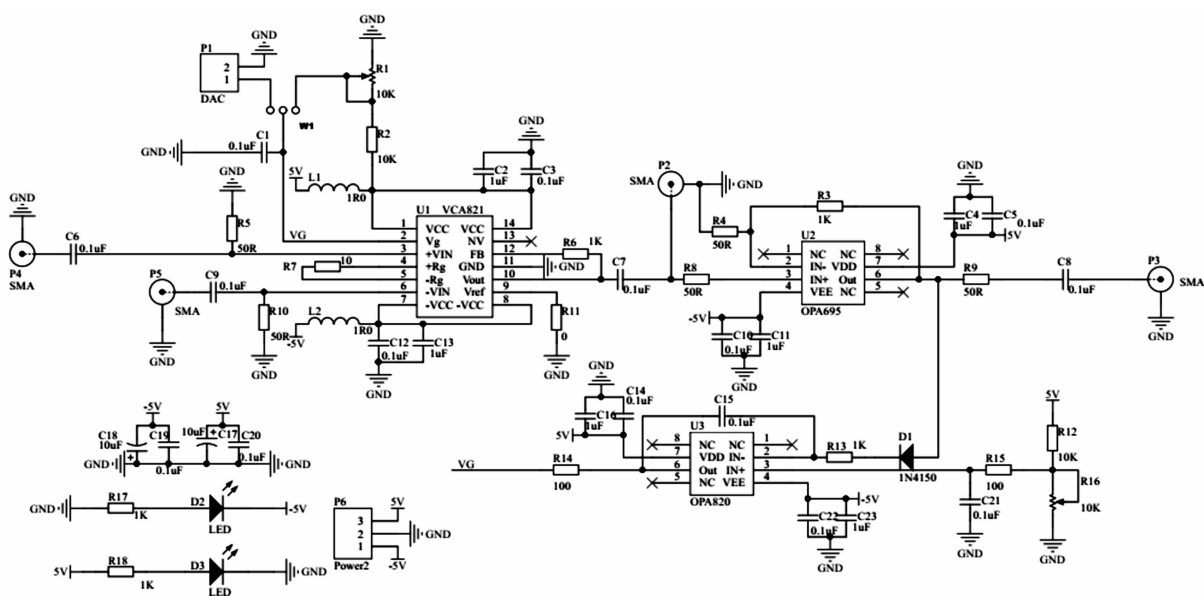


图 3 自动增益控制模块流程图



理如图 5 所示。图中高速比较器 TL3016 与电阻 R111、R211 组成滞回比较器,且电阻 R111 和 R211 对输出电压分压后,作为运放同相输入端的基准电压,输入信号作为运放反相输入端,电阻 R411 为位限流电阻,由此完成对输入的信号进行转换和整形。

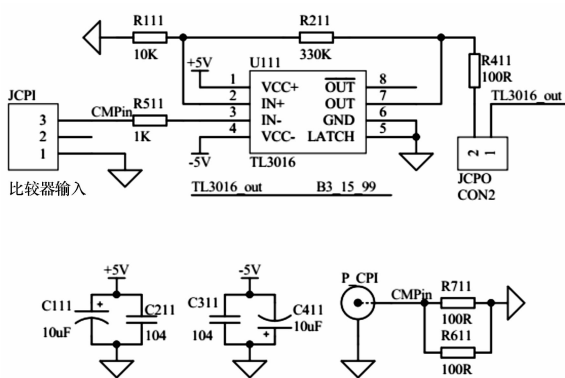


图 5 整形电路原理图

### 2.3 系统主程序设计

系统软件主程序流程图如图 6 所示. 当数字频率计接通电源后, 首先进行初始化操作, 包括 I/O 口、时钟、外部中断、彩屏; 当系统进入数字频率计测频模式后, 提示界面的显示; 判断显示标志是否为 1, 是则显示相关数据; 从 FPGA 中读取数据, 计算频率、占空比、周期, 并在彩屏上显示频率、占空比、周期.

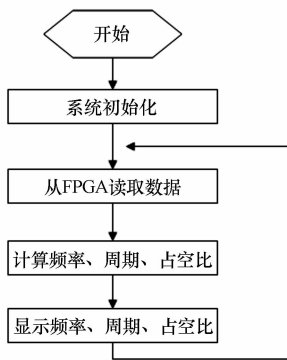


图 6 系统主程序流程图

### 3 数字频率计测试结果及数据分析

为了验证本文设计的数字频率计的性能,本文对 1 Hz~136 MHz 的信号进行了测试.

1) 频率测试方法. 选取 1 Hz、1 MHz、10 MHz、100 MHz、136 MHz 5 个频率点, 测量输入信号幅度分别为 50 mV、500 mV、1 V 的频率, 并计算相对误差, 测试结果如表 1 所示. 小信号频率测试方法: 选取 100 kHz、500 kHz、1 MHz、5 MHz、10 MHz 5 个频率点, 测量输入信号幅度分别为 10、20、40 mV 的频率, 并计算相对误差, 测试结果如表 2 所示.

2) 时间间隔测试方法. 选取  $0.1\ \mu\text{s}$ 、 $1\ \text{ms}$ 、 $10\ \text{ms}$  3 个时间间隔点, 测量输入信号频率分别为  $100\ \text{Hz}$ 、 $500\ \text{kHz}$ 、 $1\ \text{MHz}$  的 3 个时间间隔的结果, 并计算相对误差, 测试结果如表 3 所示.

表 1 频率测量数据表

频率	50 mV		500 mV		1 V	
	测量值	误差/%	测量值	误差/%	测量值	误差/%
1 Hz	1.0001	1.0E-02	1.000 00	0	1.000 00	0
1 MHz	1.000 00	0	1.000 00	0	1.000 00	0
10 MHz	10.000 01	1.0E-04	10.000 01	1.0E-04	10.000 01	1.0E-04
100 MHz	100.000 08	8.0E-05	100.000 11	1.1E-04	100.000 11	1.1E-04
136 MHz	136.000 15	1.1E-04	136.000 01	1.0E-05	136.000 14	1.0E-04

表 2 小信号频率测量数据表

频率	10 mV		20 mV		40 mV	
	测量值	误差/%	测量值	误差/%	测量值	误差/%
100 kHz	100.000 11	1.1E-04	100.000 13	1.3E-04	100.000 12	1.2E-04
500 kHz	500.000 58	1.2E-04	500.000 67	1.2E-04	500.000 61	6.1E-04
1 MHz	1.000 00	0	1.000 00	0	1.000 00	0
5 MHz	5.000 01	2.0E-04	5.000 01	2.0E-04	5.000 01	1.0E-04
10 MHz	10.000 01	1.0E-04	10.000 01	1.0E-04	10.000 01	1.0E-04

表 3 时间间隔测量数据表

时间 间隔	100 Hz		500 kHz		1 MHz	
	测量值	误差/%	测量值	误差/%	测量值	误差/%
0.1 μs	0.10	0	0.10	0	0.101	1.000
1 ms	1.02	0.200	1.03	0.300	1.005	0.500
10 ms	10.10	1.000	10.09	0.900	10.105	1.050

3) 占空比测试方法. 选取 10%、50%、80% 3 个相位测, 测量输入信号频率分别为 1 Hz、1 MHz、5 MHz 的 3 个占空比的结果, 并计算相对误差, 测试结果如表 4 所示.

表 4 占空比测量数据表

占空 比/%	1 Hz		1 MHz		5 MHz	
	测量值	误差/%	测量值	误差/%	测量值	误差/%
10	10.00	0	10.00	0	11.05	0.150
50	50.01	0.02	50.00	0	50.00	0
80	80.00	0	80.00	0	80.00	0

由表 1—表 4 可以看出: 频率的测量精度都保持在 0.01% 范围内. 对于幅度  $\geq 50$  mV 的信号, 其所能测量的频带范围为 1 Hz~136 MHz; 对于幅度  $< 50$  mV 的小信号, 其所能测量的范围较小, 为 100 kHz~10 MHz. 时间间隔和占空比的测试结果精度都保持在 1% 左右. 以上说明该数字频率计所测得的频率精度较高, 测量的频率范围较大, 而且其测量精度在整个频率范围内都保持较高的水平.

4 结论

本文以 STM32F103VET6 为控制核心, 基于

等精度测频法技术, 结合 FPGA 和自动增益控制模块等功能, 设计了一款数字频率计. 经实测表明, 该频率计的测量精度较高, 其频率测量范围扩大. 本文设计的频率计适用于幅度  $\geq 50$  mV 的信号, 其可测量的频率范围比较大, 而且精度较高; 而对幅度  $< 50$  mV 的小信号, 其可测量的频率较小, 最高为 10 MHz, 如何提高小信号的测量频率范围问题, 将是进一步研究的内容.

参考文献:

[1] 王昊鹏, 刘泽乾. 简易数字频率计设计与实现[J]. 四川兵工学报, 2011, 32(9): 86-91.

[2] 刘竹琴, 白泽生. 一种基于单片机的数字频率计的实现[J]. 现代电子技术, 2010, 6(1): 90-91.

[3] 叶军, 于霞. 基于单片机的频率计设计与实现[J]. 青海大学学报(自然科学版), 2011, 29(2): 12-14.

[4] 凌振宝, 叶剑峰, 孙正光. 多功能数字频率计的设计与研究[J]. 吉林大学学报, 2011, 29(4): 376-382.

[5] 朱东南, 陈育中, 吉小辉. 基于 CD4541 的便携式数字频率计的设计[J]. 兰州工业学院学报, 2013, 20(1): 21-24.

[6] 张粮雨. 基于 51 单片机的高频率计的设计[J]. 电子科技, 2014, 27(2): 82-84.

[7] 杜娟, 王睿, 方伟伟. 基于 FPGA 的等精度数字频率计设计[J]. 南阳理工学院学报, 2015, 7(4): 16-19.

[8] 李莉, 熊晶. 基于 CPLD 和单片机的等精度数字频率计设计[J]. 现代电子技术, 2015, 38(10): 118-123.

[9] 张国勤. 基于单片机与 FPGA 的等精度频率计设计[J]. 四川兵工学报, 2015, 36(12): 85-88.